

Excerpt from

Japanese Patent Laid-Open Publication No. Hei 10-268350

.....

[0013]

(Embodiment 1)

Fig. 1 shows one example structure of an active matrix type liquid crystal display apparatus substrate of an active matrix type liquid crystal display apparatus. In Fig. 1, numeral 10 denotes one substrate, such as a glass substrate and a silica substrate, forming the active matrix liquid crystal display apparatus, numerals 11 and 12 denote a scanning line and a data line, respectively, disposed in directions in which these lines intersect with each other, and numeral 13 denotes a pixel connected to the scanning line 11 and the data line 12. Each pixel 13 is composed of a pixel electrode formed by ITO or the like and a TFT which sequentially applies a voltage in accordance with an image signal to the pixel electrode. For TFTs disposed in the same row, their gate electrodes are connected to the same scanning line 11 and their drain electrodes are connected to the corresponding pixel electrodes. Further, source electrodes of the TFTs disposed in the same column are connected to the same data line 12. In this embodiment, the TFT which drives the pixel is formed by a so-called poly-silicon TFT in which a poly-silicon film forms a channel layer, and the TFT is formed in the same process as a CMOS type TFT forming a peripheral drive circuit (a data line drive circuit 15, scanning line drive circuits 14A, 14B, or the like) on the same substrate.

[0014]

In the present embodiment, scanning line drive circuits 14A and 14B including an Y shift register circuit, a buffer circuit, or the like, which selectively drive the scanning line 11 in a sequential manner are provided on both ends of the scanning line 11. The scanning line drive circuits 14A and 14B apply the same voltage to each scanning line 11 at the same timing,

thereby allowing reduction in the voltage level-down or signal delay caused by parasitic resistance of the scanning line 11.

**SUBSTRATE FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE, ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME, AND DRIVING CIRCUIT FOR ACTIVE MATRIX TYPE DISPLAY DEVICE AND PROJECTION TYPE DISPLAY DEVICE**

Patent Number: JP10268350  
Publication date: 1998-10-09  
Inventor(s): MURADE MASAO  
Applicant(s): SEIKO EPSON CORP  
Requested Patent: JP10268350  
Application Number: JP19970074202 19970326  
Priority Number(s):  
IPC Classification: G02F1/136; G02F1/13; G02F1/1345; G09F9/30; H01L29/786; H01L21/336  
EC Classification:  
Equivalents: JP3402112B2

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide the active matrix type liquid crystal display device which makes a display of high quality by suppressing its display unevenness.

**SOLUTION:** On a signal transmission line which transmits signals to desired sample-and-hold circuits from closely arranged image signal wires V1 to V6 through repeating wires H1 to H6 of conductive films having different relatively high resistance from the said wires, the repeating wires H1 to H6 connected to the image signal wires V1 to V6 are equalized in width and length and as to a signal path which is not reached only by the repeating wires, the end parts of the repeating wires and the coupling part at a signal supply destination are connected by wires S1 to S6 formed of conductive films having relatively small resistance values.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-268350

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>6</sup>  
 G 0 2 F 1/136  
 1/13  
 1/1345  
 G 0 9 F 9/30  
 H 0 1 L 29/786

識別記号

5 0 0

5 0 5

3 3 0

F I

G 0 2 F 1/136

5 0 0

1/13

5 0 5

1/1345

G 0 9 F 9/30

3 3 0 Z

H 0 1 L 29/78

6 1 2 C

審査請求 未請求 請求項の数25 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願平9-74202

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

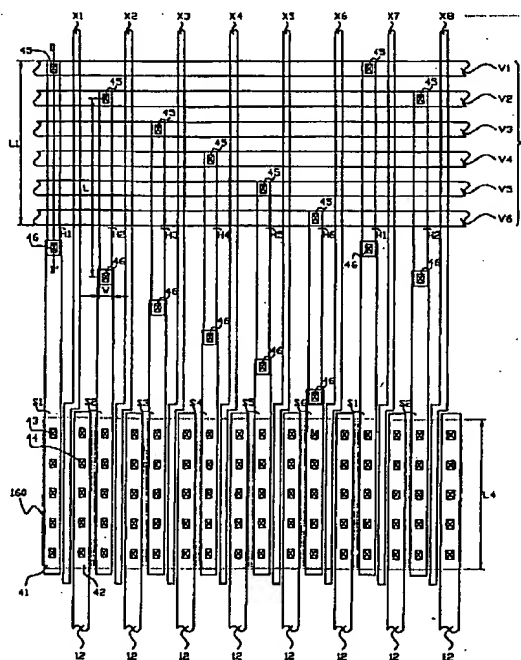
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置用基板およびそれを用いたアクティブマトリクス型液晶表示装置、アクティブマトリクス型表示装置用駆動回路並びに投写型表示装置

(57) 【要約】

【課題】 アクティブマトリクス型液晶表示装置では、画像信号が入力用端子からサンプルホールド回路まで中継用配線に接続して伝送されるように構成されるが、時定数のばらつきが大きいという不具合がある。

【解決手段】 互いに近接して配設された複数の画像信号配線 (V1~V6) からこれと異なる比較的高抵抗の導電膜の中継用配線 (H1~H6) を経て所望のサンプルホールド回路 (16) に信号を伝送する信号伝送路において、前記複数の画像信号配線 (V1~V6) と接続された前記中継用配線 (H1~H6) の幅および長さを等しく形成するとともに、前記中継用配線のみでは届かない信号経路に関しては、中継用配線の端部と信号供給先の結合部との間をより抵抗値の低い導電膜からなる配線 (S1~S6) によって接続させるようにした。



## 【特許請求の範囲】

【請求項1】 基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とするアクティブマトリクス型液晶表示装置用基板。

【請求項2】 前記信号配線は、前記周辺駆動回路を制御する制御信号を伝送する信号配線であることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項3】 前記複数の信号配線は前記中継用配線と交差し接続される領域では、互いにほぼ平行に配線され、該信号配線の線幅は互いにほぼ等しいことを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項4】 前記周辺駆動回路は複数のデータ線に接続されたデータ線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項5】 前記周辺駆動回路は複数の前記走査線に接続された走査線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項6】 基板上に複数の前記データ線が形成されてなり、該データ線に接続された前記データ線駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該データ線駆動回路により制御され、複数の画像信号線と該画像信号線に供給される画像信号をサンプリングしてデータ線に供給するサンプルホールド回路とを有し、該画像信号線と接続された中継用配線が該サンプルホールド回路に接続されてなり、該中継用配線は、他の画像信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3または4に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項7】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記サンプルホールド回路が接続されてなり、該補助中継用配線は接続される前記画像信号線によって、長さが異なることを特徴とする請求項1、2、3、4または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項8】 前記画像信号線は、外部から入力される前記画像信号を伝送する信号配線であることを特徴とする請求項1、2、3、4、6または7に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項9】 前記画像信号線に伝送される画像信号は、信号配線数だけ相展開された画像信号であることを

特徴とする請求項1、2、3、4、6、7または8に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項10】 1水平帰線期間中に、複数の画像補助入力信号線に供給される画像補助入力信号をサンプリングして前記データ線に供給するプリチャージ回路を有し、該画像補助入力信号線と接続された中継用配線が該プリチャージ回路に接続されてなり、該中継用配線は、他の画像補助入力信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項11】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記プリチャージ回路が接続されてなり、該補助中継用配線は接続される前記画像補助入力信号線によって、長さが異なることを特徴とする請求項1、2、3または10に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項12】 前記画像補助入力信号線は、外部から入力される前記画像補助入力信号を伝送する信号配線であることを特徴とする請求項1、2、3、10または11に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項13】 前記データ線駆動回路及び走査線駆動回路は少なくともシフトレジスタ回路からなることを特徴とする請求項1、2、3、4、5または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項14】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記シフトレジスタ回路が接続されてなり、該補助中継用配線は接続される前記信号配線によって、長さが異なることを特徴とする請求項1、2、3、4、5、6、12または13に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項15】 前記信号配線は、前記クロック信号を伝送するクロック信号配線であることを特徴とする請求項1、2、3、4、5、6、13または14に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項16】 前記中継用配線は、ポリシリコン膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14または15に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項17】 前記中継用配線は、前記走査線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15または16に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項18】 前記補助中継用配線は、アルミニウム膜もしくはアルミニウム合金膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16または

17に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項19】 前記補助中継用配線は、前記データ線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17または18に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項20】 前記周辺駆動回路を構成するトランジスタは、P型薄膜トランジスタおよびN型薄膜トランジスタから成る相補型薄膜トランジスタであることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18または19に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項21】 前記データ線駆動回路に接続された複数の前記データ線と前記走査線駆動回路に接続された複数の前記走査線が交差して配置されて成り、該データ線に接続した画素トランジスタのゲート電極は該走査線で形成されて成り、該画素トランジスタに画素電極が接続されて成ることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19または20に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項22】 前記データ線に接続された前記データ線駆動回路と前記走査線に接続された前記走査線駆動回路と該データ線及び該走査線に接続した前記画素トランジスタと該画素トランジスタに接続された画素電極が同一基板上に形成されてなることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20または21に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項23】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、18、19、20、21または22に記載のアクティブマトリクス型液晶表示装置用基板と、対向電極を有する透明性の対向基板とが適当な間隔をおいて配置されるとともに、該アクティブマトリクス型液晶表示装置用基板と該対向基板との間隔内に液晶が封入されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項24】 光源と、該光源からの光を変調して、透過もしくは反射する請求項23に記載のアクティブマトリクス型液晶表示装置と、該アクティブマトリクス型液晶表示装置により変調された光を集光し拡大投射する投写光学手段とを備えていることを特徴とする投写型表示装置。

【請求項25】 複数のゲート線及び複数のソース線と、該複数のゲート線及びソース線に接続されたシリコン薄膜トランジスタとを有する画素マトリクスを駆動するアクティブマトリクス表示装置用駆動回路において、基板

上に、複数のソース線に信号を供給するソース線ドライバー回路が配置されてなり、該ソース線ドライバー回路はシフトレジスタ、及び該シフトレジスタの出力により制御され、複数の信号配線に供給されるデータ信号をサンプリングして該複数のソース線に供給する複数のサンプルホールド手段とを有し、該複数の画像信号線は複数の中継用配線を介して該複数のサンプリング手段に接続されてなり、異なる画像信号バスに接続される中継用配線は、配線抵抗がほぼ等しくなるように幅及び長さが互いにほぼ等しくすることを特徴とするアクティブマトリクス表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路における信号配線の時定数調整技術に関し、例えば薄膜トランジスタ（以下、TFTと称す。）を有した画素電極を駆動する周辺駆動回路、或いは周辺駆動回路を備えたアクティブマトリクス型液晶表示装置、或いは該アクティブマトリクス型液晶表示装置を用いた投写型表示装置に関する。

【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示装置としては、ガラス基板上にマトリクス状に画素電極を形成すると共に、各画素電極に対応してアモルファスシリコンやポリシリコンを用いたTFTを形成して、各画素電極にTFTにより電圧を印加して液晶を駆動するようにした構成のアクティブマトリクス型液晶表示装置が実用化されている。このうちポリシリコンTFTを用いたアクティブマトリクス型液晶表示装置は、外部から入力される画像信号をサンプリングしてデータ線に伝送するためのTFTや該TFTを順番にオン、オフ制御するシフトレジスタ回路等の周辺駆動回路を構成する相補型TFT（以下、CMOS型TFTと称す。）を画素駆動用TFTとともに同一プロセスで同一基板上に集積形成することが可能なため、近年広く実用化されるようになってきている。

【0003】また、アクティブマトリクス型液晶表示装置に供給される画像信号はアナログ信号であるため、画像信号の周波数帯域が狭くなると、サンプリング信号でサンプルホールド回路をオンさせてデータ線に画像信号を供給する際に、画像信号が変化している部分でサンプリングしてしまうことがある。この場合、サンプルホールド回路を構成するサンプルホールド用TFTがオフされる直前の画像信号がサンプリングされるため、平均の電圧ではなく、画像信号の電圧が上がる方向に変化しているときには高めの電圧が、また画像信号の電圧が下がる方向に変化しているときには低めの電圧がサンプリングされてしまう。また、サンプリング信号のタイミングがほんの少しずれただけでサンプリングの電圧が変化してしまうという不具合がある。

【0004】そこで、例えば図14に示すように、画像信号を複数系列に相展開して周波数帯域を拡大させて、それぞれのサンプリング信号 $X_1$ 、 $X_2$ 、…、 $X_n$ のタイミングに合わせて、サンプリング中の画像信号 $V_{ID1}$ ～ $V_{ID6}$ の電圧レベルが変化しないように処理（例えば図14の点線楕円部に示すように、サンプリング期間中は画像信号の平均電圧が現れるように処理する。）して、それらをアクティブマトリクス型液晶表示装置に供給するようにした技術がある。

【0005】前記のように相展開された複数の画像信号により駆動されるように構成されたアクティブマトリクス型液晶表示装置では、一般に図15に示すように、入力用端子 $T_1$ ～ $T_6$ から入力される外部で形成された複数の画像信号 $V_{ID1}$ ～ $V_{ID6}$ は、画像信号線 $V_1$ ～ $V_6$ に伝送され、中継用配線 $H_1$ ～ $H_6$ を経て、データ線駆動回路15によってスイッチングされるサンプルホールド回路16に供給される。

【0006】

【発明が解決しようとする課題】しかしながら、前記画像信号 $V_{ID1}$ ～ $V_{ID6}$ を入力用端子 $T_1$ ～ $T_6$ からサンプルホールド回路16まで供給する画像信号線 $V_1$ ～ $V_6$ は、データ線駆動回路15から出力されるサンプリング信号線 $X_1$ 、 $X_2$ 、…、 $X_n$ と交差するため、入力用端子 $T_1$ ～ $T_6$ からサンプルホールド回路16まで同一の導電膜（例えば、低抵抗金属のアルミニウム膜等）で構成することができない。そこで、従来は、画像信号 $V_{ID1}$ ～ $V_{ID6}$ をまずアルミニウム膜からなる互いにほぼ平行で配線幅がほぼ等しい画像信号線 $V_1$ ～ $V_6$ でサンプルホールド回路16の近傍まで伝送し、ここで絶縁膜を介して交差する他の導電膜（例えば、ポリシリコン膜等）からなる中継用の接続配線 $H_1$ ～ $H_6$ に乗り換えてからサンプルホールド回路16のソース電極（もしくはドレイン電極）に伝送されるように構成していた。この場合、一般的なレイアウト方法に従って、図16に示すようにサンプルホールド回路16を一列に並べて配置すると、中継用配線 $H_1$ ～ $H_6$ の配線長（コンタクトホール45から46までの距離） $L$ が異なることとなる。尚、図16においてサンプリング信号線 $X_1$ 、 $X_2$ 、…、 $X_n$ は、中継用配線 $H_1$ ～ $H_6$ と同一材料のポリシリコン膜等で形成される。

【0007】ところが、前記中継用配線 $H_1$ ～ $H_6$ がポリシリコン膜で構成されていると、ポリシリコン膜はアルミニウム膜と比較して抵抗率が2桁以上高いため、中継用配線 $H_1$ ～ $H_6$ の配線幅 $W$ 及び配線膜厚をほぼ一定に形成すると、配線長 $L$ が中継用配線 $H_1$ ～ $H_6$ 毎に異なるため、該中継用配線 $H_1$ ～ $H_6$ 間の抵抗が異なる。つまり、サンプルホールド回路16にサンプリングされる画像信号が $V_{ID1}$ ～ $V_{ID6}$ 毎に時定数が異なることとなり、これが原因となってアクティブマトリクス型液晶表示装置の表示ムラが生じてしまうという欠点があ

る。そこで、中継用配線 $H_1$ ～ $H_6$ 毎に線幅 $W$ を変える（画像信号線 $V_1$ ～ $V_6$ からサンプルホールド回路16までの距離が短い場合は、中継用配線 $H_1$ ～ $H_6$ の線幅 $W$ を細くし、距離が長い場合は線幅 $W$ を太くする）ことにより抵抗値を一定にすることが考えられる。しかしながら、配線の幅を変えて抵抗値を一定にする方法（図16）では、他の画像信号線との重なり容量を一定にすることができず、また、配線幅がプロセスのばらつきによって変動すると、配線幅のばらつきに対する抵抗値の変化は配線幅 $W$ によって異なり、配線幅 $W$ が狭いほどプロセスのばらつきに顕著に影響を受けるので、時定数のばらつきが大きくなるという不具合が生じることが明らかになった。

【0008】本発明の目的は、複数の信号配線から駆動回路に信号を伝送する中継用配線の配線幅 $W$ がばらついても、抵抗値および容量値のばらつきは小さく、複数の信号配線間の時定数をほぼ均一にできる。これによって、アクティブマトリクス型液晶表示装置の表示ムラを抑制し、品位の高い表示を行えるアクティブマトリクス型液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】本発明は、前記目的を達成するために、基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくする。これにより、前記中継用配線の抵抗値がほぼ均一になる。そこで、前記複数の信号配線の中継用配線と交差する領域で互いにほぼ並行に配線し、配線幅をほぼ等しくすることで、他の信号配線との重なり容量がほぼ均一になり、伝送される信号に対する時定数が各信号配線経路間でほぼ等しくなる。更に、中継用配線の長さおよび幅および膜厚がほぼ等しいため、プロセスばらつきにより配線幅が目標値からずれても信号配線経路間の抵抗値および容量値のばらつきはほぼ一定になり、時定数のばらつきに伴うアクティブマトリクス型液晶表示装置の表示ムラを抑制することができるといふ利点がある。

【0010】また、本発明が適用される信号配線は、相展開した画像信号を伝送する画像信号線のみだけでなく、外部から入力されるクロック信号をシフトレジスタ回路に伝送するためのクロック信号線、あるいは前記画像信号を補助するための画像補助入力信号を伝送する画像補助入力信号線にも適用できる。

【0011】また、前記中継用配線は前記走査線と、前記補助中継用配線は前記データ線と同一工程、同一材料で形成できるため工程を増加する必要が無いという利点がある。

【0012】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0013】（実施例1）図1は、本発明が適用されるアクティブマトリクス型液晶表示装置のアクティブマトリクス型液晶表示装置用基板の一構成例を示す。図1において、10はアクティブマトリクス型液晶表示装置を構成する一方のガラス基板や石英基板等の基板、11および12は互いに交差する方向に配設された走査線およびデータ線、13は前記走査線11とデータ線12とに接続された画素で、各画素13はITO等からなる画素電極とこの画素電極に順次画像信号に応じた電圧を印加するTFTからなる。同一行のTFTはそのゲート電極が同一の走査線11に接続され、ドレイン電極が対応する画素電極に接続されている。また、同一列のTFTはそのソース電極が同一のデータ線12に接続されている。この実施例においては、画素を駆動するTFTはポリシリコン膜をチャネル層とするいわゆるポリシリコンTFTで構成されており、周辺駆動回路（データ線駆動回路15や走査線駆動回路14A、14B等）を構成するCMOS型TFTとともに同一プロセスにより、同一基板上に形成される。

【0014】本実施例では、走査線11の両端にそれぞれ該走査線11を順次選択駆動するYシフトレジスタ回路やバッファ回路等を含む走査線駆動回路14A、14Bが設けられている。走査線駆動回路14Aと14Bは、同一の電圧を同一のタイミングで各走査線11に印加する。つまり、1本の走査線11をその両側から同時に駆動する。これによって、走査線11の有する寄生抵抗による電圧のレベル落ちや信号遅延を軽減することができる。

【0015】一方、本実施例では、データ線12を選択駆動するXシフトレジスタ回路やバッファ回路等を含むデータ線駆動回路15が設けられている。また、データ線12の両端に画像信号サンプリング用の回路16、17が設けられている。このうち17は各データ線12にプリチャージレベルを印加するプリチャージ回路であり、他方の16は各データ線12に画像信号に応じた電圧を印加するサンプルホールド回路である。サンプルホールド回路16及びプリチャージ回路17は、基本的な等価回路図で示すと図20に示す3通りのいずれかの型に属する。すなわち、サンプルホールド用TFT160及びプリチャージ用TFT170は、図20（A）Nチャネル型TFT、（B）Pチャネル型TFT、（C）CMOS型TFTのいずれかの形態を取る。図20において、Nチャネル型TFTのサンプリング信号Sに対して、Pチャネル型TFTのサンプリング信号SBはサンプリング信号Sの反転信号であることを示している。プリチャージ回路17のソース（データ線12側の接続電極と反対側の電極）には外部から供給される画像補助入

力信号NRS1、NRS2がデータ線12に対して1本おきに印加され、画像補助入力信号線19A、19Bによってプリチャージ回路17に供給されるとともに、該プリチャージ回路17のゲート電極には外部から供給されるタイミング信号NRGが信号配線18を介して共通に印加されている。これによって、すべてのデータ線12は1水平帰線期間中でサンプルホールド回路16からの画像信号レベルの印加前に、画像補助入力信号NRS1、NRS2のレベルにそれぞれ同時にプリチャージされる。また、隣り合うデータ線12毎に画像信号の極性を変える駆動を行う際には、画像補助入力信号NRS1、NRS2は互いに反対の極性を持つようにすると有効である。

【0016】各データ線12の他端に設けられたサンプルホールド回路16のソース電極には、外部から供給される相展開された画像信号VID1～VID6が画像信号線群20を介して入力され、サンプルホールド回路16のゲート電極にはデータ線12を順次選択するシフトレジスタ回路やバッファ回路等を含むデータ線駆動回路15から出力されるサンプリング信号が印加されている。本実施例では、画像信号を6相に展開したが、サンプルホールド用TFT160の書込特性が高ければ相展開数を減らすことも可能であるし、書込特性が低ければ相展開数を増やしても良い。また、NTSC信号やPAL信号に対応したRGBパラレル信号でも良いことは言うまでもない。データ線駆動回路15は、外部から供給されるスタート信号SPXと8個のクロック信号CLX1～4、CLXB1～4に基づいて1水平走査期間中にすべてのデータ線12を順番に1回ずつ選択するようなサンプリング信号X1、X2、X3、……Xnを形成してサンプルホールド回路16のゲート電極に供給する。クロック信号CLX1～4（またはその逆相クロック信号CLXB1～4）は互いに位相が順次45°ずつずれた同一周期のクロック信号である。ところで、逆相クロック信号CLXB1～4は、外部から入力されたクロック信号CLX1～4を基に、周辺駆動回路内に設けた信号生成回路によってアクティブマトリクス型液晶表示装置基板内部で生成することも可能である。

【0017】特に限定されるものではないが、この実施例では、図8に示すようにデータ線駆動回路15は4系統のシフトレジスタ回路により構成されており、各系統のシフトレジスタ回路は各々逆相の1対のクロック信号CLXi、CLXBiによって動作され、4本おきに信号配線を選択するタイミング信号を与えるべく構成されている。このようにクロック信号が8個あることにより、外部から入力されるクロック信号CLX1～4、CLXB1～4のそれぞれの駆動周波数を低減することができ、アクティブマトリクス型液晶表示装置の周辺駆動回路の負荷が軽減される。

【0018】また、本実施例では、データ線12を一定



のタイミングで1ライン毎に順次駆動していく方法を説明したが、3ラインや6ラインや12ラインといった多数の隣り合うデータ線12を1個のデータサンプリング信号で同時に選択し、外部から入力する画像信号のタイミングを変化させる方法でも本実施例を用いることができる。

【0019】また、本実施例ではデータ線駆動回路15や走査線駆動回路14A、14Bを含む周辺駆動回路と、データ線駆動回路15に接続された複数のデータ線12と走査線駆動回路14A、14Bに接続された走査線11がマトリクス状に交差されて成り、該データ線12及び走査線11に接続された画素トランジスタと該画素トランジスタに接続された画素電極が同一基板上に形成されたアクティブマトリクス型液晶表示装置について説明したが、周辺駆動回路の部分を石英基板等の高価な基板上に高温ポリシリコンTFTにより形成し、データ線12及び走査線11と画素13を含む領域130

(図1点線内)をガラス基板等の安価な基板上にアモルファスシリコンTFTやプロセス温度が600度以下の低温ポリシリコンTFTにより形成し、これらの基板を繋ぎ合わせてアクティブマトリクス型液晶表示装置用基板を構成することも可能である。

【0020】図2は、本発明を前記画像信号線群20とサンプルホールド回路16との接続部に適用した場合の実施例を示すもので、V1～V6が外部入力端子から入力され前記相展開された画像信号VID1～VID6を伝送する信号配線としての画像信号線である。これらの画像信号線V1～V6は、特に制限されないがデータ線12と同一材料の低抵抗のアルミニウム膜によって形成されている。X1、X2、…、Xnは前記データ線駆動回路15から出力されるサンプリング信号をサンプルホールド回路16のゲート電極に供給するための配線であり、前記サンプリング信号線X1、X2、…、Xnは前記画像信号線V1～V6と交差する方向に配設され、走査線と同一材料のポリシリコン膜からなり、前記サンプルホールド回路16のゲート電極と連続するように形成されている。

【0021】41、42は各々前記サンプリング信号線X1、X2、…、Xnの両側に設けられたポリシリコン膜からなるサンプルホールド回路16を構成するサンプルホールド用TFT160のソース・ドレイン領域であり、サンプルホールド用TFT160のソース領域41には低抵抗のアルミニウム膜等からなる補助中継用配線としての引き出し線S1～S6がコンタクトホール43にて接続されている。また、各サンプルホールド回路16のドレイン領域42には画素駆動用TFTに接続される前記データ線12がコンタクトホール44にて接続されている。この実施例では、特に限定されないが、前記データ線12および補助中継用配線S1～S6と画像信号線V1～V6は同一プロセスにて形成されるアルミニ

ウム膜によって構成されている。

【0022】さらに、本実施例では、前記画像信号線V1と前記補助中継用配線S1との間に、前記画像信号線V1～V6と交差する方向に画像信号線V2～V6とは層間絶縁膜を介して別層で、走査線11と同一層のポリシリコン膜等の導電膜からなる中継用配線H1が設けられる。中継用配線H1は配線端において、画像信号線V1とはコンタクトホール45にて、補助中継用配線S1とはコンタクトホール46にてそれぞれ接続される。同様にその他の画像信号線V2～V6と、該画像信号線V2～V6に対応した補助中継用配線S2～S6との間も、コンタクトホール45及び46において中継用配線H2～H6とそれぞれ接続される。これらの中継用配線H1～H6を経て前記サンプルホールド回路16を構成するサンプルホールド用TFT160のソース電極に画像信号VID1～VID6を伝送するように構成されている。そして、前記中継用配線H1～H6はすべてその線幅Wおよび長さ(コンタクトホール45から46までの距離)L及び配線膜厚がほぼ等しくなるように設計されているとともに、前記中継用配線H1～H6とサンプルホールド回路16との信号経路に関しては、前記補助中継用配線S1～S6を延長させることによって長さの違いを吸収するようにされている。また、画像信号線V1～V6は中継用配線H1～H6と交差する領域では少なくとも互いにほぼ平行に配線され、該画像信号線V1～V6の線幅は互いにほぼ等しく設計されている。

【0023】中継用配線H1～H6がTFTのゲート電極を形成するポリシリコン膜で構成され、補助中継用配線S1～S6がアルミニウム膜で構成される場合、その抵抗率はアルミニウム膜の方がポリシリコン膜に比べて2桁程度小さいので、補助中継用配線S1～S6の長さの相違による抵抗値の相違は極めて小さくて済む。また、他の画像信号線との重畳する面積が等しくなるため重なり容量が均等になり、各画像信号線の容量も均一化される。そのため、伝送される画像信号に対する時定数が各信号経路間で等しくなるとともに、画像信号線V1～V6の線幅が互いにほぼ等しく、中継用配線H1～H6間の線幅Wも互いにほぼ等しいため、プロセスばらつきにより線幅が設計目標値からずれても各画像信号間の容量値及び抵抗値のばらつきはほぼ同じになり、該時定数のばらつきに伴う表示ムラを抑制することができる。

【0024】なお、前記中継用配線H1～H6の長さLは前記信号配線群20(画像信号線V1～V6)の線幅L1+30μm以内に設定するのが最も効率的である。抵抗値の高い中継用配線H1～H6の長さLが最も短くなって配線抵抗が小さくなるとともに、占有面積も少なくて済むため、周辺駆動回路領域を微細に集積できる効率の良い設計が行える。

【0025】本実施例では、前記データ線12および補助中継用配線S1～S6と画像信号線V1～V6は同一

プロセスにて形成されるアルミニウム膜によって構成したが、Cr、Ta等の金属膜や金属シリサイド膜等の異なる導電膜で構成することも可能である。また、中継用配線H1～H6もポリシリコン膜だけではなく、Mo、Ta、W、Cr等の金属膜やMo-Si、W-Si等の金属シリサイド膜で構成すれば、低抵抗化が可能となり、配線間の特定数の均一化に更に効果が上がる。

【0026】図3には前記実施例1の変形例を示す。この変形例は、前記サンプルホールド回路16を構成するサンプルホールド用TFT160のソース領域41へのコンタクトホール43とドレイン領域42へのコンタクトホール44とを互い違いに配置するとともに、サンプリング信号配線X1、X2、…、Xnのうちサンプルホールド用TFT160のゲート電極部分を前記コンタクトホール43、44を回避するように蛇行させたものである。コンタクトホールの開孔部が小さ過ぎると、コンタクト抵抗が高くなる等の要因から該コンタクトホールのサイズには限界があり、また、接続配線の最小幅よりも大きくすることができない。そこで、前記のようにサンプルホールド用TFT160のゲート電極を蛇行したパターンとすることにより隣り合うサンプルホールド回路16のピッチL2を小さくすることが可能となり、高集積化により画素ピッチが小さくなったときにそれに合わせてサンプルホールド回路16を形成することができるようになる。

【0027】図4には前記実施例1の更に他の変形例を示す。この変形例は、サンプルホールド回路16の占有面積を小さくすることが可能である。すなわち、サンプルホールド用TFT160のゲート電極を制御するサンプリング信号配線X1、X2、…、Xnの端部を二股に形成し、その外側に二股に形成したドレイン領域42にデータ線12を接続させるように構成されている。隣り合うデータ線12のピッチL3は、図示しない配列された1画素当たりのピッチ等に依存して決定されるので、隣り合うデータ線12のピッチL3が一つのサンプルホールド回路16を構成するサンプルホールド用TFT160のソース・ドレイン領域の幅に比較して大きいような場合には、サンプルホールド用TFT160を図4のようにソース領域41に対して両側にトランジスタを構成するようにする。これにより、サンプルホールド回路16の横方向のピッチL3を有効に活用して無駄なスペースを少なくし、全体としての占有面積を低減することができる。また、図2におけるサンプリング信号配線X1、X2、…、Xnと比較して、サンプルホールド用TFT160のチャンネル幅L4を同じ長さで設計した場合に約2倍のドレイン電流特性が得られる。言うまでもないが、ソース領域41を二股に形成し、ドレイン領域42をシングルに形成しても良い。

【0028】図5には前記実施例1の更に他の変形例を示す。この変形例は、前記画像信号線V1～V6からサ

ンプルホールド回路16までの距離を互いにほぼ同一とすることにより、中継用配線H1～H6と同様に補助中継用配線S1～S6の長さL4も互いにほぼ同一となるようにしたものである。かかる構成によって、画像信号ごとの特定数のばらつきをさらに小さくすることができる。図5においては、サンプルホールド回路16をゲート電極を二股に形成したものを示したが、図2と同様にゲート電極をシングルに形成することも可能である。

【0029】また、図2～5で示した実施例では、片チャネル型のTFTで構成したサンプルホールド用TFT160を示したが、該サンプルホールド用TFT160はNチャネル型TFT（図20A）であっても、Pチャネル型TFT（図20B）であっても良いことは言うまでもない。

【0030】図6には前記実施例のさらに他の変形例を示す。この変形例は、前記サンプルホールド用TFT160をCMOS型TFT（Pチャネル型TFT42PとNチャネル型TFT42Nを並列に設けたもの。図20C）で形成したものである。Pチャネル型TFT42PとNチャネル型TFT42Nを同時にオンさせるには、Pチャネル型TFT42Pのゲート電極に伝送されるサンプリング信号と逆相のサンプリング信号をNチャネル型TFT42Nのゲート電極に同時に印加する必要がある。そこで、データ線駆動回路15に接続されるゲート電極を含むサンプリング信号配線X1、X2、…、Xnが2系統化され、Pチャネル型TFT42Pのゲート電極にはPチャネル型TFT用サンプリング信号配線X1P、X2P、…、XnPが、またNチャネル型TFT42Nのゲート電極にはNチャネル型TFT用サンプリング信号配線X1N、X2N、…、XnNが中継用配線H1～H6および補助中継用配線S1～S6を挟んで互いにほぼ平行に接続配置されている。かかる構成によって、画像信号がTFTのしきい値分だけレベル低下を起こすのを防止することができる。また、サンプルホールド用TFT160のブッシュダウンを抑制することができる。

【0031】以上の実施例においては、相展開された画像信号V1D1～V1D6を伝送する画像信号線V1～V6からサンプルホールド回路16へ伝送する部分に適用した場合を説明したが、本発明が適用される信号伝送路は、画像信号を伝送する画像信号線のみでなく、各データ線12にプリチャージレベルを印加するプリチャージ回路17や外部から入力されるクロック信号をシフトレジスタ回路に伝送するためのクロック信号配線とシフトレジスタ回路との間の伝送部分に適用することもできる。

【0032】（実施例2）次に、本発明を適用して好適な実施例2を説明する。図7は各信号線12にプリチャージレベルを印加するプリチャージ回路17に外部からの画像補助入力信号NRS1、NRS2（図1参照）を

10

20

30

40

50

供給する画像補助入力信号線19A、19Bとブリチャージ回路17との間に本発明を適用した場合の実施例を示す。この実施例においては、画像補助入力信号NRS1、NRS2を供給する画像補助入力信号線19A、19Bは特に限定されないが低抵抗のアルミニウム膜等の金属膜からなり、互いにほぼ平行に配線され、その線幅が互いにほぼ等しく、幅広く形成されて配線抵抗が低減される。また、これらの画像補助入力信号線19A、19Bに交互に接続される中継用配線H1、H2は、ブリチャージ用TFT170から遠い側の画像補助入力信号線19Bに対してはブリチャージ用TFT170に近い側の縁部に形成されたコンタクトホール49Bにて、またブリチャージ用TFT170に近い側の画像補助入力信号線19Aに対してはTFT15Aから遠い側の縁部に形成されたコンタクトホール49Aにてそれぞれ接続されることによって同一の長さすなわち同一の特定数を有するように構成されている。これにより、中継用配線H1、H2の配線長さ（コンタクトホール49Aから50Aまでの距離、あるいは、コンタクトホール49Bから50Bまでの距離）L及び幅W及び膜厚をほぼ一定にすることで、配線抵抗及び重なり容量をほぼ均一にすることが可能となる。すなわち、特定数の均一化を図ることができる。また、画像補助入力信号線19A、19Bと中継用配線H1、H2をそれぞれ接続するコンタクトホール49A、49Bを図7に示すように形成すると、配線領域L6の長さを最小に設計できるため、無駄な領域を省くことが可能となり、効率良い設計が行える。特に限定されないが、信号極性が正反対な2本の信号線から中継用配線を引き出す際に有効な手段である。

【0033】なお、この実施例においても中継用配線H1、H2は、ブリチャージ用TFT170のゲート電極から延設されゲート電極を制御する信号NRGを伝送するポリシリコン配線180と同じポリシリコン膜で形成され、中継用配線H1、H2の他端はアルミニウム膜からなる補助中継用配線S1、S2を介してブリチャージ用TFT170のソース領域（あるいはドレイン領域）に接続される。ブリチャージ用TFT170は、ゲート電極をストレートに形成した片チャンネル型TFT（Nチャンネル型TFTあるいはPチャンネル型TFT。図20参照）のものが示されているが、これに限定されず、ゲート電極を二股に形成したものあるいはCMOS型TFT（図20C）のものをを用いるようにしても良い。ところで、ブリチャージ用TFT170にCMOS型TFTを用いた場合は、ブリチャージ回路駆動用信号NRGとその反転信号が必要なため、ブリチャージ回路駆動用信号線は少なくとも2本必要となる。この場合にも本発明の中継用配線を適用できることは言うまでもない。また、前記ポリシリコン配線180はアルミニウム膜からなるブリチャージ回路駆動信号線18に接続され、共通の信号NRGが印加される。

【0034】（実施例3）図8は、図1におけるデータ線駆動回路15を構成するXシフトレジスタ回路150とこれにクロック信号CLX1～4、逆相クロック信号CLXB1～4を伝送するための信号配線との関係を示す。

【0035】本実施例では、データ線駆動回路内に形成されたXシフトレジスタ回路150をクロックドインバータ200、201で構成した例を示すが、トランスマッションゲート等を使用しても良い。クロック信号CLX1～CLX4は4系統に分割され、クロック信号CLX1～CLX4の逆相クロック信号CLXB1～CLXB4を合わせて互いに位相が45°ずつずれた8相のクロック信号のいずれかが中継用配線91～98を経て、Xシフトレジスタ回路150のクロックドインバータのゲート電極に伝送されることにより駆動される。そこで、クロック信号線CLX1～CLX4、CLXB1～CLXB4から中継用配線91～98までの構成に、図2で示した画像信号線V1～V6からサンプルホールド回路16に至る信号経路に用いられた中継用配線H1～H6及び補助中継用配線S1～S6と同様の構成を適用する。すなわち、クロック信号線とXシフトレジスタ回路150を接続することにより、Xシフトレジスタ回路150のクロック信号系列間の特定数差がなくなり、アクティブマトリクス型液晶表示装置における表示ムラを抑制することが可能となる。

【0036】また、本実施例では、Xシフトレジスタ回路150だけでなく、図1における走査線駆動回路14A、14Bを構成するYシフトレジスタ回路にも適用できることは言うまでもない。すなわち、クロック信号CLYと逆相クロック信号CLYBを伝送するクロック信号線とYシフトレジスタ回路間における中継用の配線に本発明の中継用配線及び補助中継用配線を用いれば、Yシフトレジスタ回路内でのクロック信号CLYと逆相クロック信号の遅延差による生じる1行おきの走査線11の遅延差を抑制し、高品位なアクティブマトリクス型液晶表示装置を提供できる。

【0037】（実施例4）また、更に本発明の他の実施例を図18に示す。これは、例えばシフトレジスタ回路から順次伝送されてくる奇数段に伝送される信号N1、N3、N5、…を2端子NAND回路202の一方の端子に接続し、もう一方の端子に外部から入力されるイネーブル信号ENB1を接続する。また同様に、偶数段に伝送される信号N2、N4、N6、…を2端子NAND回路203の一方の端子に接続し、もう一方の端子に外部から入力されるイネーブル信号ENB2を接続する。このような回路構成にすれば、図19に示すタイミングチャートのように、隣り合うサンプル信号線間でサンプリング信号X1、X2、…、Xn間を（A）オーバーラップさせたり、（B）離したりすることが自由にできる。そこで、本実施例4におけるイネーブル信号線EN

B1からNAND回路202に中継接続される中継用配線81と、イネーブル信号線ENB2からNAND回路203に中継接続される中継用配線82に、図2に示す画像信号線V1~V6とサンプルホールド回路用TFT160とを接続するために用いる中継用配線H1~H6及び補助中継用配線S1~S6の関係を適用すれば良い。これにより、アクティブマトリクス型液晶表示装置用基板内でのイネーブル信号ENB1及びENB2の信号遅延差が無くなり、高品位なアクティブマトリクス型液晶表示装置を提供できる。

【0038】また、これらのイネーブル信号ENB1、ENB2により制御される回路は2端子NAND回路202、203だけでなく3端子以上のNAND回路で更に複数のイネーブル信号や周辺駆動回路内部で生成した制御信号を組み合わせて、複雑な回路構成にすることも可能である。更に、NAND回路の代わりにNOR回路等を使用しても良い。

【0039】本発明は、少なくとも2本以上の信号配線を有し、該信号配線に伝送される信号により制御される駆動回路を構成する際には、全て適用できる。

【0040】（製造プロセスの説明）図9~図11に画素13及び画像信号線部の製造プロセスを工程順に示す。図9~図11の画素TFT部は図17に示された画素平面図のA-A'に沿った断面図、画像信号線部は図2の平面図のB-B'に沿った断面図を示す。

【0041】まず、工程（1）で、ガラス基板あるいは石英基板等の基板10上に、減圧CVD法等によりポリシリコン膜を500~2000オングストローム好ましくは約1000オングストロームのような厚さで基板全面に堆積して半導体層1を形成する。半導体層1の形成は、アモルファスシリコン膜を堆積した後、600~700℃、1~8時間のアニール処理を施して、ポリシリコン膜を形成しても良いし、ポリシリコン膜を堆積した後、シリコンを打ち込んで非晶質化し、アニール処理により再結晶化してポリシリコン膜を形成しても良い。

【0042】（2）の工程では、フォトリソグラフィ工程及びエッチング工程等により、半導体層1をパターニングして、画素TFT部には島状のチャンネルを含む層1aを形成する。

【0043】（3）の工程では、（2）工程で形成された画素TFT部の前記ポリシリコン膜（1a）の表面を900~1300℃の温度で熱酸化することにより、チャンネル層1a上にゲート酸化膜2を形成する。また、基板のそり等を防ぐために、熱酸化膜を200~500オングストローム形成した上にHTO膜やSiN膜等を形成することにより、多層のゲート絶縁膜を形成しても良い。この工程により、チャンネルを含む層1aは最終的に300~1500オングストローム、好ましくは350~450オングストロームのような厚さとなり、ゲート絶縁膜2は約600~1500オングストロームとな

る。

【0044】（4）の工程では、（3）工程で形成された画素TFT部の前記ゲート絶縁膜2の上に、ゲート電極及び走査線となるべき低抵抗のポリシリコン膜3を減圧CVD法等により堆積する。

【0045】（5）の工程では、（4）工程で形成された前記ポリシリコン膜3をフォトリソグラフィ工程及びエッチング工程によりパターニングして、画素TFT部ではゲート電極（走査線）11を形成し、同時に画像信号線部では、ゲート電極11と同じ材料により中継用配線H1を形成する。ゲート電極11及び中継用配線H1の材料としては、ポリシリコンの他、Mo、Ta、Ti、W等の高融点金属あるいはこれらの金属シリサイドを用いることができる。

【0046】（6）の工程では、前記ゲート電極11をマスクとして、前記チャンネル層1に不純物（リン）を $1 \times 10^{13} / \text{cm}^2 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にてライトドープして低濃度領域1d、1eを形成する。さらに、ゲート電極11の幅よりも広いマスク層でゲート電極上にレジスト膜100形成して、不純物（リン）101を $1 \times 10^{15} / \text{cm}^2 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んで、Nチャンネル型TFTを形成する。同様に、Pチャンネル型TFTを形成する場合は、図示しないが、Nチャンネル型TFT領域をレジストで被覆保護した上で、不純物（ボロン）を $1 \times 10^{13} / \text{cm}^2 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にてライトドープして低濃度領域1d、1eを形成する。さらに、ゲート電極3aの幅よりも広いマスク層をゲート電極3a上に形成して、不純物（ボロン）を $1 \times 10^{15} / \text{cm}^2 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んで、Pチャンネル型TFTを形成する。これによりマスクされた領域がライトリー・ドープト・ドレイン（LDD）構造となり、Nチャンネル型TFT、Pチャンネル型TFTから成るCMOS型TFTを形成する。また、不純物をライトドープしない、1d、1e領域をオフセット状態にしても良い。また、本実施例では画素TFTをNチャンネル型TFTで形成したが、Pチャンネル型TFTで形成しても良いことは言うまでもない。

【0047】（7）の工程では、前記ゲート電極11及び中継用配線H1を覆うように、NSG膜（ボロンおよびリンを含まないシリケートガラス膜）等からなる第1の層間絶縁膜4を、例えば常圧CVD法等により800度のような温度下で5000~15000オングストロームのような厚さに堆積する。（図10）（8）の工程では、この第1の層間絶縁膜4にドライエッチング等により、画素TFT部ではソース領域に対応した位置にコンタクトホール5を開孔し、画像信号線部では中継用配線H1に接続するためのコンタクトホール45、46を開孔する。前記コンタクトホール5、45及び46の開孔方法としては、反応性イオンエッチングや反応性イオ

ンビームエッチング等のドライエッチングにより異方性のコンタクトホールを開孔した方が画素の高精細化に有利である。また、該ドライエッチングとウェットエッチングを組み合わせを行い、開孔部をテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0048】(9)の工程では、基板上にアルミニウムやアルミニウム合金等の金属膜や金属シリサイド膜で低抵抗導電膜6をスパッタ法により堆積させる。低抵抗導電膜6は画素TFT部においては、コンタクトホール5を介してソース領域1bに接続され、画像信号線部においては、コンタクトホール45、46を介して中継用配線H1に接続される。

【0049】(10)の工程では、前記低抵抗導電膜6をフォトリソグラフィ工程及びエッチング工程によりパターンニングして、ソース領域1bに接続されるようにソース電極を兼ねるデータ線12を形成し、中継用配線H1に接続される画像信号線V1と補助中継用配線51を形成する。また、この際、他の画像信号配線V2～V6が同時に形成される。

【0050】(11)の工程では、前記データ線12及び画像信号線V1～V6及び補助中継用配線51上を覆うように、BPSG膜(ボロンとリンを含むシリケートガラス膜)のような第2の層間絶縁膜7を、例えばプラズマオゾンTEOS法や常圧オゾンTEOS法等により例えば500度のような低温で5000～15000オングストロームのような厚さに形成する。あるいは、有機膜等をスピニングにより塗布することで段差形状のない平坦化膜を形成しても良い。(図11)(12)の工程では、前記第2の層間絶縁膜7およびその下の第1の層間絶縁膜4とゲート絶縁膜2からなる重畳膜に対してフォトリソグラフィ工程及びエッチング工程等により、画素TFT部のドレイン領域に対応した位置にコンタクトホール8を形成する。前記コンタクトホール8の開孔方法としては、反応性イオンエッチングや反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホールを開孔した方が画素の高精細化に有利である。また、該ドライエッチングとウェットエッチングを組み合わせを行い、開孔部をテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0051】(13)の工程では、画素TFT部において、前記第2層間絶縁膜7上に画素電極9aとなるITO膜9をスパッタ法で、例えば1500オングストロームのような厚さに形成する。このときTFT部では、ITO膜9がコンタクトホール8にて高濃度ドレイン領域1cに接続される。

【0052】(14)の工程では、画素TFT部において、前記ITO膜9に対してフォトリソグラフィ工程及びエッチング工程等により画素電極9aを形成する。

【0053】そして、前記画素電極9および第2層間絶縁膜7上にかけてはポリイミド等からなる配向膜を約2

00～1000オングストロームのような厚さに形成して、ラビング(配向処理)を行なうことでアクティブマトリクス型液晶表示装置用基板と成る。尚、反射型のアクティブマトリクス型液晶表示装置の場合、前記画素電極9aとしてアルミニウム等の反射率の高い膜を形成しても良い。

【0054】なお、特に限定されないが、本実施例では、図17に示すように、画素TFTのドレイン領域1cに寄与する容量を付加するために、ドレイン領域1cを延設し、その上部をゲート絶縁膜2を介して常に定電位が供給される容量線3aを配置している。該容量線3aは前記走査線11と同一材料、同一工程で形成されている。また、従来は画素電極9a等の横方向電界等の影響を受けて生じる液晶のディスクリネーション発生部は画面表示品位の劣化を引き起こすため、対向基板上のブラックマトリクスで遮光されていたデッドスペースであったが、該ディスクリネーション発生領域部に容量線3aを配置することで、画素の光が透過する開口面積を劣化させることなく、フリッカー等が発生しない高品位なアクティブマトリクス型液晶表示装置を提供することができる。

【0055】上述のように、図2～図8の実施例におけるポリシリコン膜からなる中継用配線H1～H6は、前記TFT部におけるゲート電極となるポリシリコン膜11と同時に形成される。また、図2～図8の実施例におけるアルミニウム膜からなる画像信号線V1～V6、画像補助入力信号線19A、19B、クロック信号線CLX1～CLX4、CLXB1～CLXB4及び補助中継用配線S1～S6は、前記TFT部におけるデータ線12となるアルミニウム膜と同時に形成される。言うまでもないが、その他の信号配線と各々の中継用配線及び補助中継用配線も同一の工程で形成できる。これによって、何らプロセスを変更することなく図2～図8の実施例を実現することができる。

【0056】(アクティブマトリクス型液晶表示装置の説明)図12(A)は本実施例で作製したアクティブマトリクス型液晶表示装置の平面図を示す。図12(B)は、(A)のY-Y'線における該アクティブマトリクス型液晶表示装置の断面図を示す。図15に示すように、前記アクティブマトリクス型液晶表示装置用基板10上のデータ線駆動回路15及び走査線駆動回路14A、14Bは、電荷の直流成分によりポリイミド等の配向膜や液晶の劣化を防ぐために、前記対向基板110の外周より外側に配置している。また、前記アクティブマトリクス型液晶表示装置用基板上に形成した画素電極の表面には、ガラスやネオセラムあるいは石英といった透明基板上に透明対向電極電位を印加することができるITO膜等の透明導電膜からなる電極111を有する対向基板110が、適当な間隔をおいて配置され、図7に示すように該データ線駆動回路15及び該走査線駆動回路

10

20

30

40

50

14A、14Bと画素13間のデータ線12及び走査線11上でシール材112により封止する。更に、画面表示領域外側は、モジュールとして組立の際に光が漏れないように対向基板31上にブラックマトリクス113と同一層で周辺見切りを形成する。尚、114は対向基板110側に設けられた対向電極111に、アクティブマトリクス型液晶表示装置側から共通電極電位LCOM（図1参照）を供給するための上下基板導通用端子115であり、該上下基板導通用端子115上に所定の径を有する導電性接着剤を介在させて、該対向基板と導通を図るように構成されている。また、外部入出力端子116は前記対向基板110より外側の部分に配置され、ワイヤーボンディング、ACF（anisotropic conductive Film）圧着等により外部ICと接続される。

【0057】図12（B）に示されるように、周囲をシール材112で封止された間隔内に周知のTN（Twisted Nematic）型液晶等の液晶117を充填し、液晶封入孔を封止剤118で封止することにより、アクティブマトリクス型液晶表示装置として構成する。また、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜も偏光板も不要になるため、光利用効率が高くなり、明るいアクティブマトリクス型液晶表示装置を提供できる。更に、画素電極をITO膜からアルミニウム膜等の非透過で反射率の高い金属膜を用いた反射型液晶表示装置の場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（Super Homeotropic）型液晶などを用いても良い。更にその他の液晶を用いても良いことは言うまでもない。

【0058】（投写型表示装置の説明）図13には前記構成のアクティブマトリクス型液晶表示装置をライトバルブとして応用した投写型表示装置の一例としてデータプロジェクタの構成例が示されている。

【0059】図13において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、378、379、380は前記実施例のアクティブマトリクス型液晶表示装置からなるライトバルブ、383はダイクロイックプリズム、385は制御装置である。図1に示されているアクティブマトリクス型液晶表示装置用基板に外部から供給される画像信号やクロック信号、各種制御信号は前記制御装置385で形成される。

【0060】この実施例のデータプロジェクタにおいては、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして先ず、青色反射ダイク

ロイックミラー373により、青色光（概ね500nm以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は反射ミラー374により方向を変え青色変調ライトバルブ378に入射する。

【0061】一方、前記青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光（概ね500～600nmの波長）が反射され、その他の光である赤色光（概ね600nm以上の波長）は透過する。ダイクロイックミラー375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え赤色変調ライトバルブ380に入射する。

【0062】ライトバルブ378、379、380は、図示しない信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光はそれぞれのライトバルブで変調された後、ダイクロイックプリズム383で合成される。ダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに交差するように形成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投射レンズ384によってスクリーン上に拡大投射され、表示される。

【0063】

【発明の効果】以上説明したように、本発明は、基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくする。これにより、前記中継用配線の抵抗値がほぼ均一になる。そこで、前記複数の信号配線の中継用配線と交差する領域で互いにほぼ並行に配線し、配線幅をほぼ等しくすることで、他の信号配線との重なり容量がほぼ均一になり、伝送される信号に対する時定数が各信号配線経路間でほぼ等しくなる。更に、中継用配線の長さおよび幅および膜厚がほぼ等しいため、プロセスばらつきにより配線幅が目標値からずれても信号配線経路間の抵抗値および容量値のばらつきはほぼ一定になり、時定数のばらつきに伴うアクティブマトリクス型液晶表示装置の表示ムラを抑制することができるという効果がある。本発明が適用される信号配線は、相展開された画像信号を伝送する画像信号線のみだけでなく、外部から入力されるクロック信号をシフトレジスタ回路に伝送するためのクロック信号配線、あるいは前記画像信号を補助するための画像補助入力信号を伝送する画像補助入力信号線といった各種の信号配線に適用できるという効果がある。

【0064】また、前記中継用配線は前記走査線と、前

記補助中継用配線は前記データ線と同一工程、同一材料で形成できるため工程を増加する必要が無く、アクティブマトリクス型液晶表示装置の表示ムラを抑制することができるという効果がある。

【図面の簡単な説明】

【図1】本発明が適用されるアクティブマトリクス型液晶表示装置を構成するアクティブマトリクス型液晶表示装置用基板の一例を示すブロック図。

【図2】本発明を、アクティブマトリクス型液晶表示装置における画像信号を供給する信号配線群とサンプルホールド回路との接続部に適用した場合の実施例を示す配線レイアウト図。

【図3】図2の実施例の変形例を示す配線レイアウト図。

【図4】図2の実施例の他の変形例を示す配線レイアウト図。

【図5】図2の実施例のさらに他の変形例を示す配線レイアウト図。

【図6】図2の実施例のさらに他の変形例を示す配線レイアウト図。

【図7】本発明の第2の実施例を示す配線レイアウト図。

【図8】本発明を適用して好適なアクティブマトリクス型液晶表示装置におけるシフトレジスタ回路とそれにクロック信号を供給するクロック信号配線群を示す構成図。

【図9】本発明を適用したアクティブマトリクス型液晶表示装置の画素TFT部および画像信号線部の製造プロセス（前半）を工程順に示す断面図。

【図10】本発明を適用したアクティブマトリクス型液晶表示装置の画素TFT部および画像信号線部の製造プロセス（中盤）を工程順に示す断面図。

【図11】本発明を適用したアクティブマトリクス型液晶表示装置の画素TFT部および画像信号線部の製造プロセス（後半）を工程順に示す断面図。

【図12】（A）はアクティブマトリクス型液晶表示装置の平面図、（B）は（A）のY-Y'の断面図。

【図13】実施例のアクティブマトリクス型液晶表示装置をライトバルブとして応用した投写型表示装置の一例としてのデータプロジェクタ概略構成図。

【図14】相展開された画像信号とアクティブマトリクス型液晶表示装置のサンプリング信号との関係を示す一例としてのタイミングチャート。

【図15】アクティブマトリクス型液晶表示装置用基板における画像信号を供給する信号配線群とサンプルホールド回路との接続関係を示す一例としての回路図。

【図16】アクティブマトリクス型液晶表示装置用基板における画像信号を供給する信号配線群とサンプルホールド回路との接続配線を示すレイアウト図。

【図17】本発明のアクティブマトリクス型液晶表示装置の画素部の平面図。

【図18】本発明を適用して好適なアクティブマトリクス型液晶表示装置におけるNAND回路とそれにイネーブル信号を供給する信号配線群を示す一例としての構成図。

【図19】本発明を適用して好適なアクティブマトリクス型液晶表示装置におけるイネーブル信号とサンプリング信号X1、X2、…、Xnの関係を示す一例としてのタイミングチャート図であり、（A）隣り合うサンプリング信号X1、X2、…、Xn間が互いにオーバーラップするタイミングチャート図、（B）隣り合うサンプリング信号X1、X2、…、Xn間が互いに離れているタイミングチャート。

【図20】本発明のアクティブマトリクス型液晶表示装置のサンプルホールド回路及びブリチャージ回路を構成する等価回路を示しており、それぞれ（A）Nチャネル型TFT、（B）Pチャネル型TFT、（C）CMOS型TFTを示す等価回路図。

【符号の説明】

- 1 半導体層
- 1a チャンネル領域
- 2 ゲート絶縁膜
- 3 ポリシリコン膜
- 3a 容量線
- 4 第1層間絶縁膜
- 5、8 コンタクトホール
- 6 アルミニウム膜
- 7 第2層間絶縁膜
- 9 ITO膜
- 9a 画素電極
- 10 基板
- 11 走査線
- 12 データ線（ソース電極）
- 13 画素
- 14A、14B Yシフトレジスタ回路
- 15 データ線駆動回路
- 16 サンプルホールド回路
- 17 ブリチャージ回路
- 18 ブリチャージ回路駆動信号線
- 19A 画像補助入力信号線（NRS1）
- 19B 画像補助入力信号線（NRS2）
- 20 画像信号配線群
- 41 サンプルホールド用TFTソース電極
- 42 サンプルホールド用TFTドレイン電極
- 42A Pチャネル型TFT
- 42B Nチャネル型TFT
- 43 サンプルホールド用TFTソース電極側コンタクトホール
- 44 サンプルホールド用TFTドレイン電極側コンタクトホール
- 45 画像信号線と中継用配線間のコンタクトホール

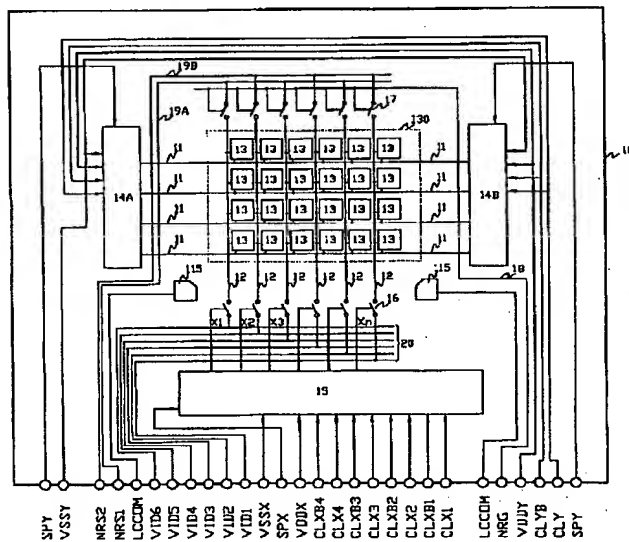


- 46 中継用配線と補助中継用配線間のコンタクトホール  
 49A 画像補助入力信号線(NRS1)と中継用配線間のコンタクトホール  
 49B 画像補助入力信号線(NRS2)と中継用配線間のコンタクトホール  
 50A 中継用配線H1と補助中継用配線S1とのコンタクトホール  
 50B 中継用配線H2と補助中継用配線S2とのコンタクトホール  
 81, 82 イネーブル信号線からNAND回路までの中継用配線  
 91~98 クロック信号線からシフトレジスタ回路までの中継用配線  
 100 レジスト  
 101 高濃度不純物イオン  
 110 対向基板  
 111 対向電極  
 112 シール材

10

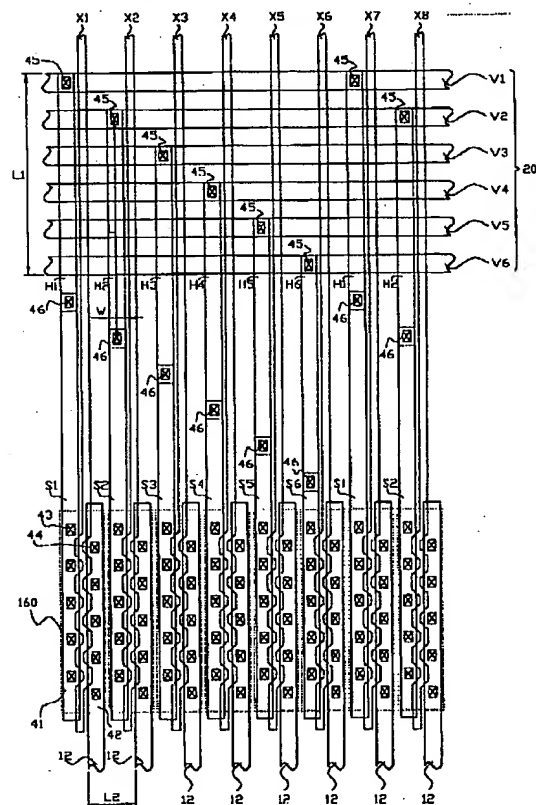
\*

【図1】



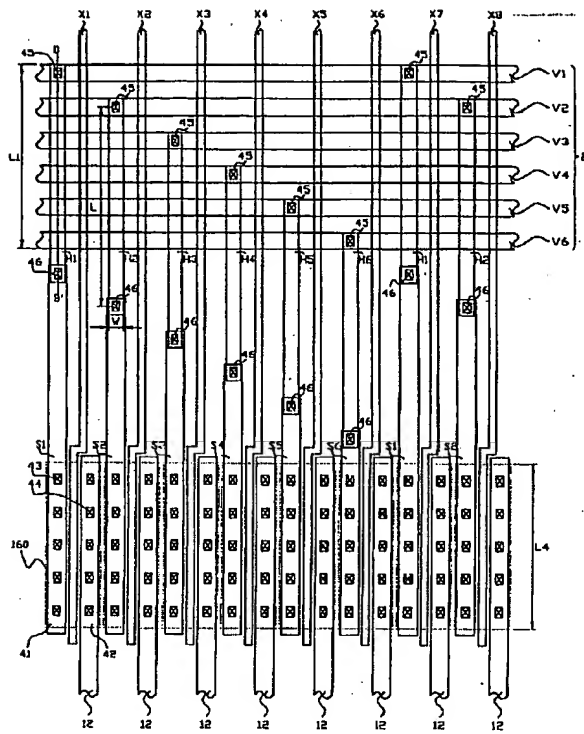
- \* 113 ブラックマトリクス  
 115 上下導通端子  
 116 外部入出力端子  
 117 液晶  
 118 封止剤  
 130 画素領域  
 150 Xシフトレジスタ回路  
 160 サンプルホールド用TFT  
 170 プリチャージ用TFT  
 180 ポリシリコン配線  
 200, 201 クロックドインバータ  
 202, 203 NAND回路  
 370 ランプ  
 373, 375, 376 ダイクロイックミラー  
 374, 377 反射ミラー  
 378, 379, 380 ライトバルブ  
 383 ダイクロイックプリズム  
 384 投写レンズ  
 \* 385 制御装置

【図3】

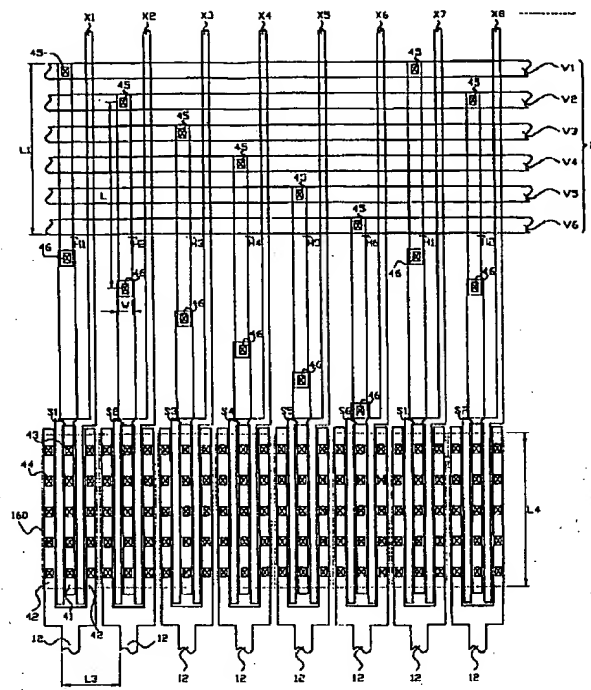




【図2】

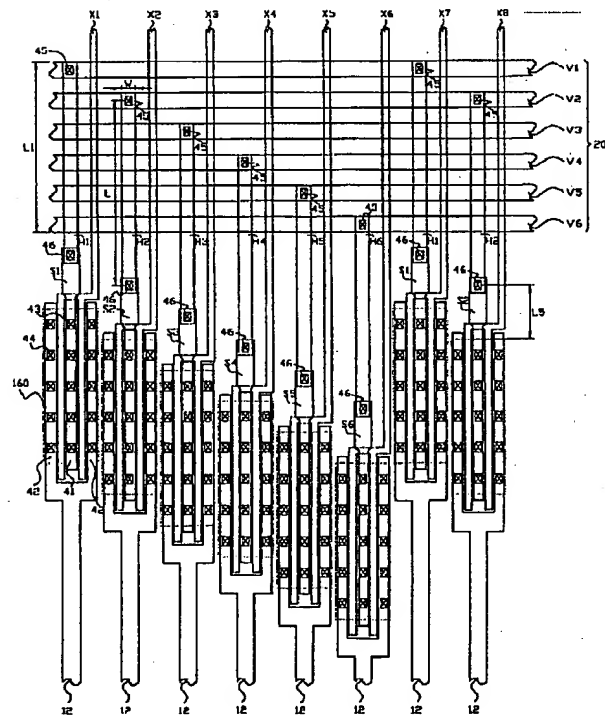
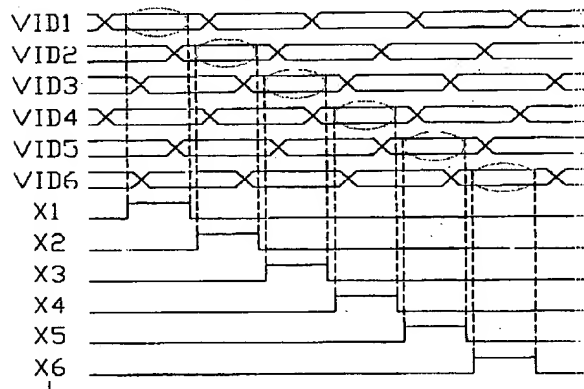


【図4】

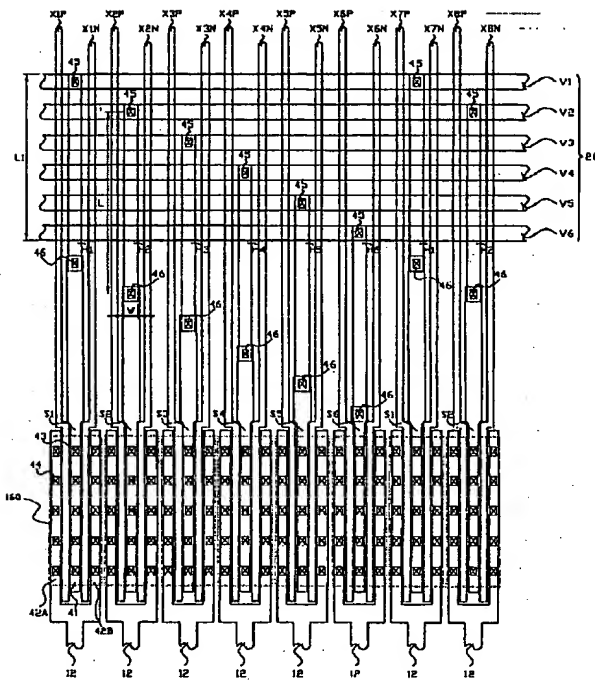


【図5】

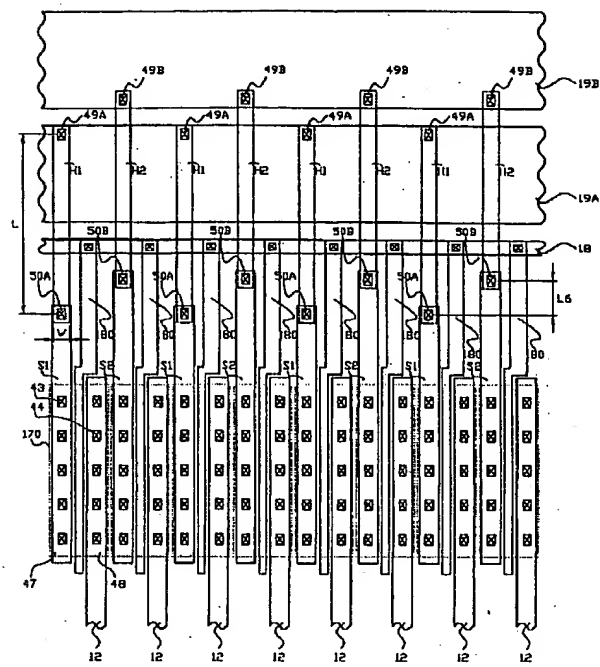
【図14】



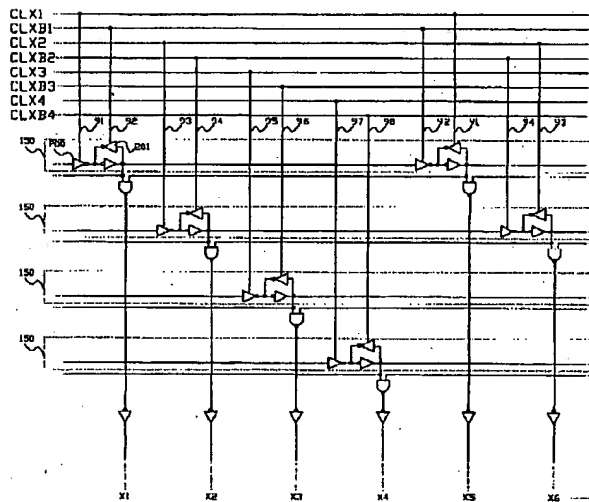
【図6】



【図7】

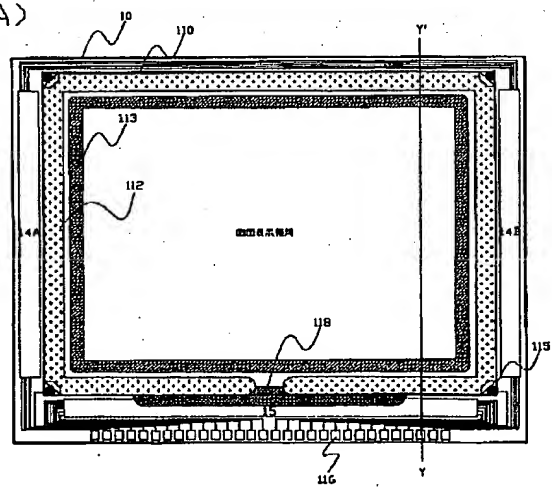


【図8】

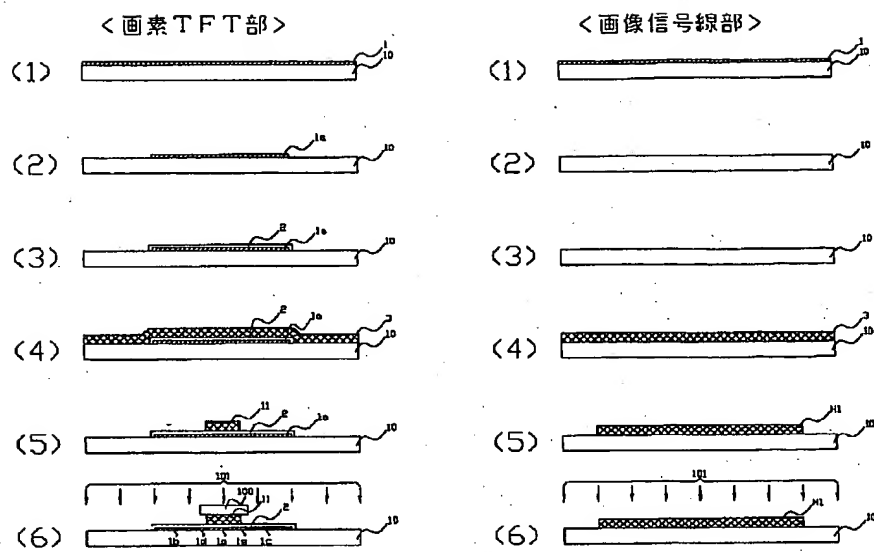


【図12】

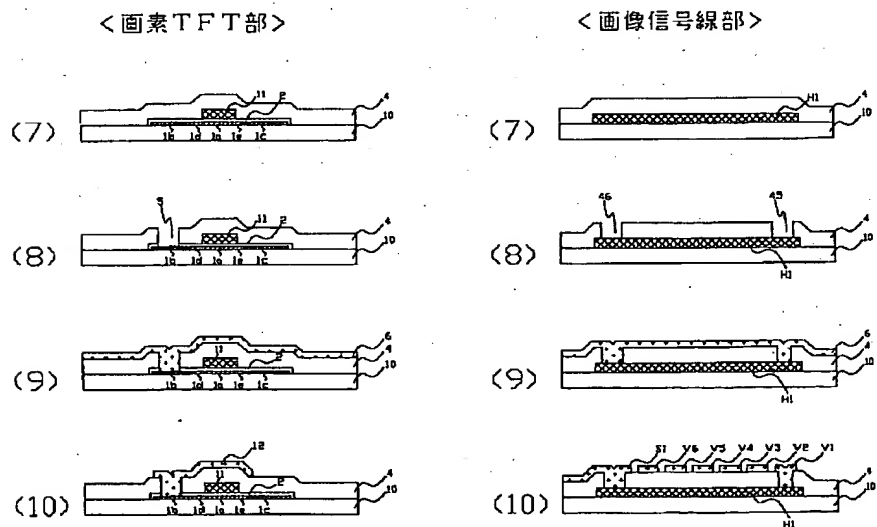
(A)



【図9】

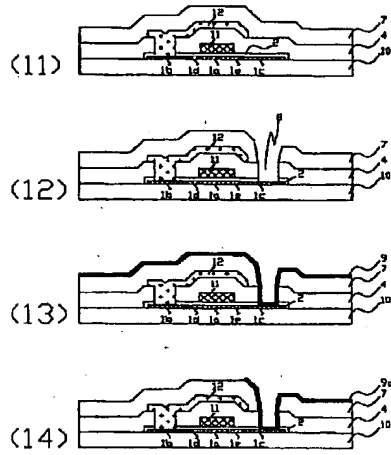


【図10】

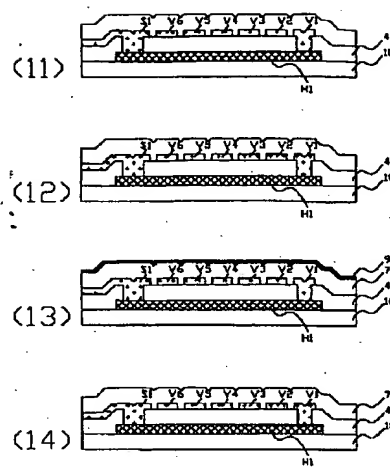


【図11】

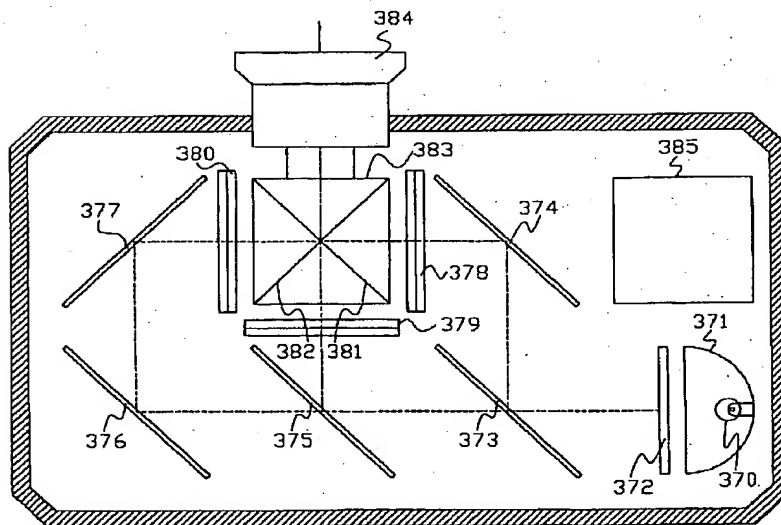
&lt;画素TFT部&gt;



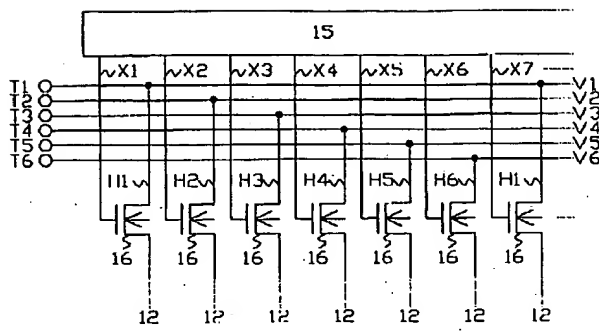
&lt;画像信号線部&gt;



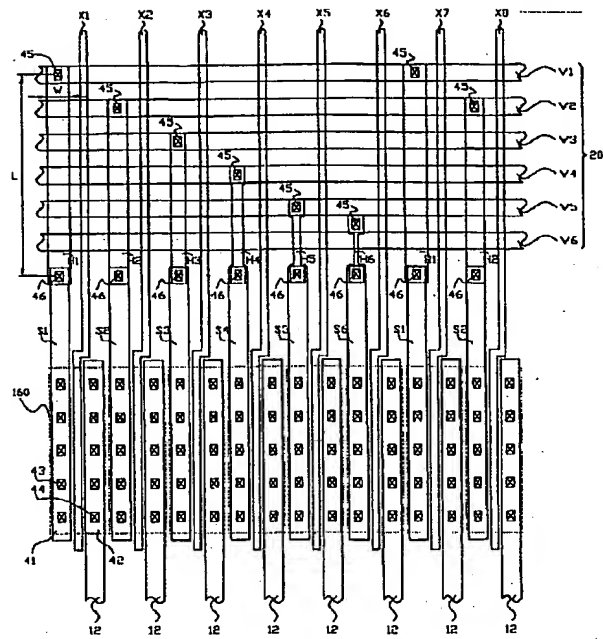
【図13】



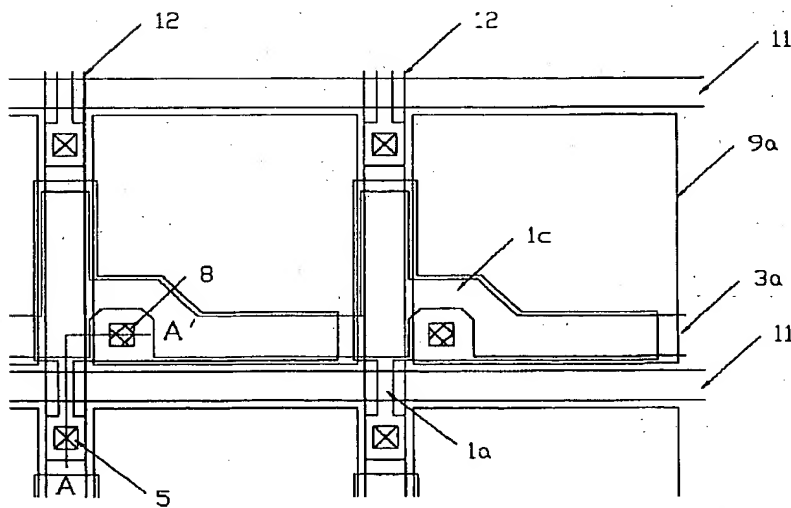
【図15】



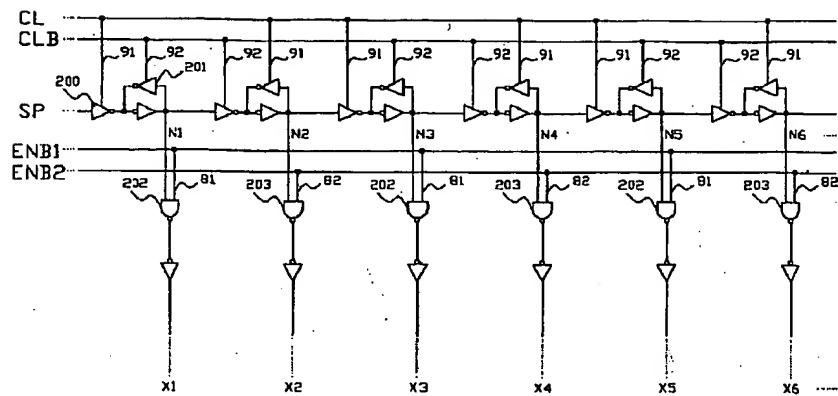
【図16】



【図17】

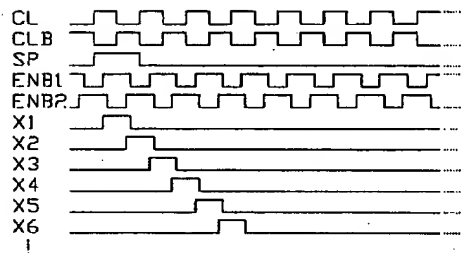


【図18】

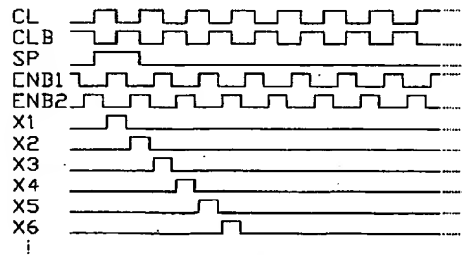


【図19】

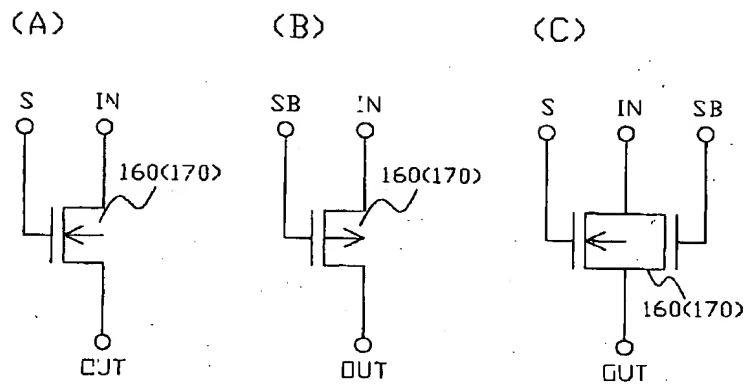
(A)



(B)



【図20】




---

フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/336

識別記号

F I  
H01L 29/78

617A

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第2区分  
 【発行日】平成14年1月23日(2002.1.23)

【公開番号】特開平10-268350  
 【公開日】平成10年10月9日(1998.10.9)  
 【年通号数】公開特許公報10-2684  
 【出願番号】特願平9-74202  
 【国際特許分類第7版】

G02F 1/136 500  
 1/13 505  
 1/1345  
 G09F 9/30 330  
 H01L 29/786  
 21/336

【F1】

G02F 1/136 500  
 1/13 505  
 1/1345  
 G09F 9/30 330 Z  
 H01L 29/78 612 C  
 617 A

【手続補正書】  
 【提出日】平成13年6月14日(2001.6.14)

【手続補正1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正内容】

【特許請求の範囲】  
 【請求項1】基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とするアクティブマトリクス型液晶表示装置用基板。

【請求項2】前記信号配線は、前記周辺駆動回路を制御する制御信号を伝送する信号配線であることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項3】前記複数の信号配線は前記中継用配線と交差し接続される領域では、互いにほぼ平行に配線され、該信号配線の線幅は互いにほぼ等しいことを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項4】前記周辺駆動回路は複数のデータ線に接

続されたデータ線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項5】前記周辺駆動回路は複数の前記走査線に接続された走査線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項6】基板上に複数の前記データ線が形成されてなり、該データ線に接続された前記データ線駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該データ線駆動回路により制御され、複数の画像信号線と該画像信号線に供給される画像信号をサンプリングしてデータ線に供給するサンプルホールド回路とを有し、該画像信号線と接続された中継用配線が該サンプルホールド回路に接続されてなり、該中継用配線は、他の画像信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3または4に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項7】前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記サンプルホールド回路が接続されてなり、該補助中継用配線は接続される前記画像信号線によって、長さが異なることを特徴とする請求項1、2、3、4または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項8】前記画像信号線は、外部から入力される



前記画像信号を伝送する信号配線であることを特徴とする請求項1、2、3、4、6または7に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項9】 前記画像信号線に伝送される画像信号は、信号配線数だけ相展開された画像信号であることを特徴とする請求項1、2、3、4、6、7または8に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項10】 1水平帰線期間中に、複数の画像補助入力信号線に供給される画像補助入力信号をサンプリングして前記データ線に供給するブリチャージ回路を有し、該画像補助入力信号線と接続された中継用配線が該ブリチャージ回路に接続されてなり、該中継用配線は、他の画像補助入力信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項11】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記ブリチャージ回路が接続されてなり、該補助中継用配線は接続される前記画像補助入力信号線によって、長さが異なることを特徴とする請求項1、2、3または10に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項12】 前記画像補助入力信号線は、外部から入力される前記画像補助入力信号を伝送する信号配線であることを特徴とする請求項1、2、3、10または11に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項13】 前記データ線駆動回路及び走査線駆動回路は少なくともシフトレジスタ回路からなることを特徴とする請求項1、2、3、4、5または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項14】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記シフトレジスタ回路が接続されてなり、該補助中継用配線は接続される前記信号配線によって、長さが異なることを特徴とする請求項1、2、3、4、5、6、12または13に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項15】 前記信号配線は、前記クロック信号を伝送するクロック信号配線であることを特徴とする請求項1、2、3、4、5、6、13または14に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項16】 前記中継用配線は、ポリシリコン膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14または15に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項17】 前記中継用配線は、前記走査線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15または16に記載のアクティブマトリクス型液晶表示装置用基板。

トリクス型液晶表示装置用基板。

【請求項18】 前記補助中継用配線は、アルミニウム膜もしくはアルミニウム合金膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16または17に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項19】 前記補助中継用配線は、前記データ線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17または18に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項20】 前記周辺駆動回路を構成するトランジスタは、P型薄膜トランジスタおよびN型薄膜トランジスタから成る相補型薄膜トランジスタであることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18または19に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項21】 前記データ線駆動回路に接続された複数の前記データ線と前記走査線駆動回路に接続された複数の前記走査線が交差して配置されて成り、該データ線に接続した画素トランジスタのゲート電極は該走査線で形成されて成り、該画素トランジスタに画素電極が接続されて成ることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19または20に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項22】 前記データ線に接続された前記データ線駆動回路と前記走査線に接続された前記走査線駆動回路と該データ線及び該走査線に接続した前記画素トランジスタと該画素トランジスタに接続された画素電極が同一基板上に形成されてなることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20または21に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項23】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、18、19、20、21または22に記載のアクティブマトリクス型液晶表示装置用基板と、対向電極を有する透明性の対向基板とが適当な間隔をおいて配置されるとともに、該アクティブマトリクス型液晶表示装置用基板と該対向基板との間隔内に液晶が封入されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項24】 光源と、該光源からの光を変調して、透過もしくは反射する請求項23に記載のアクティブマトリクス型液晶表示装置と、該アクティブマトリクス型液晶表示装置により変調された光を集光し拡大投射する投写光学手段とを備えていることを特徴とする投写型表示装置。

示装置。

【請求項25】 複数のゲート線及び複数のソース線と、該複数のゲート線及びソース線に接続されたシリコン薄膜トランジスタとを有する画素マトリクスを駆動するアクティブマトリクス表示装置用駆動回路において、基板上に、複数のソース線に信号を供給するソース線ドライバ回路が配置されてなり、該ソース線ドライバ回路はシフトレジスタ、及び該シフトレジスタの出力により制御され、複数の信号配線に供給されるデータ信号をサンプリングして該複数のソース線に供給する複数のサンプルホールド手段とを有し、該複数の画像信号線は複数の中継用配線を介して該複数のサンプリング手段に接続されてなり、異なる画像信号バスに接続される中継用配線は、配線抵抗がほぼ等しくなるように幅及び長さが互いにほぼ等しくすることを特徴とするアクティブマトリクス表示装置用駆動回路。

【請求項26】 複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺回路が形成されて

なるアクティブマトリクス型液晶表示装置において、前記周辺回路を構成し、前記信号配線と同抵抗の複数の周辺回路側配線と、前記複数の信号配線と前記複数の周辺回路側配線の各々を電氣的に接続し、前記信号配線の抵抗より高く、各々の抵抗が同じである複数の中継用配線とを備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項27】 前記複数の中継用配線は、同一パターン形状であることを特徴とする請求項26に記載のアクティブマトリクス型液晶表示装置。

【請求項28】 前記複数の信号配線と前記複数の周辺回路側配線は同一膜で形成されると共に、前記複数の中継用配線は前記複数の信号配線とは絶縁膜を介して配置されると共に、コンタクトホールを介して前記信号配線と前記周辺回路側配線とに接続されることを特徴とする請求項26又は請求項27に記載のアクティブマトリクス型液晶表示装置。